

Nuovi ostacoli in progettazione

Il punto sulla EMC

- Il 1994 è stato l'anno della svolta con l'applicazione della marcatura CE, a seguito della Decisione 93/465/CEE, obbligatoria in tutti i suoi elementi per il regime di apposizione della marcatura CE di conformità relativa alla progettazione, alla fabbricazione, all'immissione sul mercato e alla messa in servizio di un prodotto.
- Sono quindi nati parecchi laboratori di prova ed i costruttori si sono adeguati adattando la progettazione elettronica ai nuovi requisiti.
- Nei successivi 10 anni un po' tutti i produttori hanno affrontato prove e nuovi metodi di progetto, incamerando utili esperienze. Il superamento delle prove è quindi diventato una attività di routine.

Il punto sulla EMC

- Negli ultimi anni, però, le aziende incontrano difficoltà crescenti nel superamento delle prove. Se nel passato con un riprogetto parziale si saldava la partita con la prova fallita al secondo tentativo, adesso accade sovente che una azienda provi più volte senza successo e poi si arrenda alla ricerca di un esperto che trovi il problema e risolva la situazione.
- Il fatto è che non si incontrano a sufficienza esperti di EMC capaci di eviscerare il problema... Cosa è cambiato?
- Il ritmo di evoluzione della tecnologia dei componenti elettronici è diventato più veloce del ritmo di apprendimento dei progettisti: il prossimo progetto rischia di essere molto diverso dal precedente in cui si erano congelati circuiti e progetti ampiamente collaudati e potrà quindi offrire sorprese a chi non si è preparato.

Emissioni indesiderate

- Partiamo dalla emissione irradiata perché i circuiti digitali a rischio di suscettibilità hanno il sopravvento su quelli analogici.
- Il primo PC aveva un clock inferiore a 10 MHz. Oggi, un PC ha un clock di più di 3 GHz. Ogni volta che la frequenza aumenta di un fattore 10 le emissioni irradiate differenziali, che variano con il quadrato della frequenza, aumentano di un fattore 100.
- Un famoso guru della EMC valuta l'apporto che le nuove tecnologie e i nuovi materiali offrono al progettista pari ad un fattore 2, da cui si evince che il progettista, a parità di livello di prova, si trova svantaggiato rispetto al passato di un fattore $100/2$ cioè di 50 volte.

Emissioni indesiderate

- Un 8080 possedeva meno di 10000 transistor; un 8-core attuale supera il miliardo di transistor.
- Il tempo di commutazione è minore e dipendente dalla lunghezza del canale e la banda del disturbo digitale è convenzionalmente fissata come $\frac{1}{\pi \times t_{salita}}$. Per anni abbiamo sentito che «se il tempo di commutazione rimane sopra 1 ns, basta stare attenti al progetto... se è inferiore, aspettiamoci problemi...».
- I progetti si dividevano quindi in due categorie: quelli che hanno problemi oggi e quelli che li avranno domani.
- Un integrato FPGA o ASIC ha tempi di switching di 100 ps e il core lavora sui 10..20 ps: sopra i 10 GHz ci aspettiamo di trovare su tutti i pin dell'integrato per effetti parassiti interni disturbi impulsivi del core, pronti a diffondersi all'esterno tramite le piste collegate ai pin.

Nuovi problemi

- Il progettista digitale si occupa di mappe di 0 e 1. Ha scelto di non includere componenti analogici e non ama radiofrequenza, carte di Smith e antenne, argomenti troppo remoti rispetto al suo mondo che è sempre più orientato al firmware.
- La terza armonica del clock a 3 GHz è a 9 GHz, frequenza a cui una volta lavoravano soltanto gli specialisti di microonde (ponti radio o radar) su stampati con pochi componenti e poche piste.
- A frequenze oltre 1 GHz il segnale digitale non è più una successione di livelli 0 ed 1, ma una forma d'onda che tende a deformarsi (vedi diagramma ad occhio e problemi di SI), cioè un segnale analogico ad altissima frequenza. Una pista diventa lunga rispetto alla lunghezza d'onda dei disturbi ed irradia come antenna molto efficiente (tipo monopolo in $\lambda/4$): a sua insaputa e suo malgrado, il progettista digitale diventa un progettista di antenne.

Nuovi problemi

- I piani dello stampato acquisiscono dimensioni comparabili con λ ed entrano in risonanza con la struttura del contenitore e fra di essi. A questo punto, subentrano problemi di PI.
- Gli schermi dei componenti, inseriti al fine di ottenere dei vantaggi, diventano cavità risonanti.
- Le piste devono essere adattate su bande di frequenza molto ampie. I segnali ultraveloci si inviano in differenziale con tutti i problemi annessi di skew.
- La progettazione dello stampato cambia radicalmente e i calcoli approssimativi o le equazioni non si possono più usare di fronte al numero quasi infinito delle variabili in gioco.

Nuovi problemi

- Il colpo di grazia può arrivare da qualunque direzione: chi prima non era obbligato ad eseguire la prova di emissione irradiata ha ora un modem wireless e non riesce più a superare la prova.
- L'antenna trasmittente si trova nelle vicinanze di componenti suscettibili e quella ricevente in prossimità degli integrati digitali; il progettista vorrebbe ridurre la potenza in trasmissione ed alzare la soglia in ricezione, ma la portata del wireless lo rende inutilizzabile.
- L'antenna è stampata ed usa il medesimo piano di massa dei circuiti: gli accoppiamenti crescono a dismisura. Servono schermi di componenti montati sulla scheda e filtri di non facile progettazione e quindi la collocazione dei componenti diventa critica. Viene voglia di separare componenti opposti (aggressivi e suscettibili), ma poi si scopre che le risonanze dei piani non rendono la separazione efficace, anzi fanno peggiorare le cose.

Nuovi problemi

- Il nuovo progetto contiene dei bus veloci? Con le seriali tipo RS232 le frequenze in gioco erano basse rispetto al micro ed un filtrino passa-basso era sufficiente. Adesso siamo ai Gb/s con frequenze sovrapposte a quelle dei FPGA ed i filtraggi sono quasi impossibili.
- Prodotti industriali oggi scambiano dati (es. immagini) ad alta velocità con standard PCI express o LVDS o USB: clock a 50 MHz o più vengono inviati a unità esterne o passate da una scheda all'altra... e si era sempre detto: «devi portare il clock lontano al massimo alcuni centimetri, senza diramazioni o cambi di layer...»
- Schede acquistate in oriente per pochi dollari e con prestazioni folli (spesso non documentate) in piggy-back su una scheda connessa tramite connettore angolare su una terza scheda: come si può portare un riferimento di 0 V su due connettori nel punto in cui dalla schedina parte un flat ad un display lungo quanto λ ?

Nuovi problemi

- La scheda monta un FPGA con più di 1.000 contatti? FPGA significa componente programmabile cioè con configurazione non fissa e vengono a mancare regole di collocazione sullo stampato e di collegamento valide suggerite dal fornitore.
- Lo mettiamo su uno stampato a doppia faccia? Scopriamo subito che abbiamo bisogno di un numero di strati enorme rispetto alle nostre abitudini e non c'è solo il problema delle connessioni. Molti collegamenti ai pin sono a impedenza controllata ed alcuni sono differenziali con budget degli skew stretto se la velocità è elevata. Se avessimo un DRC automatico scopriremmo che nel tentativo di effettuare i collegamenti abbiamo violato quasi tutte le regole di progettazione EMC dello stampato.
- Possiamo sperare di superare la prova di emissione irradiata in queste condizioni?

Suscettibilità indesiderata

- Anche per le prove di immunità il progresso tecnologica rema contro: componenti sempre più piccoli hanno strati di isolamento sempre più sottili e punti caldi sempre più caldi perché più concentrati e quindi con maggiore facilità di fusione del materiale. La suscettibilità dei componenti aumenta.
- Basti pensare che l'ESD riguarda componenti attivi e passivi, non soltanto CMOS: esistono componenti che, sottoposti all'impulso EN61000-4-2, sopportano meno di 50 V_p. Questi componenti devono essere protetti e diventano sempre più numerosi.
- I diodi di protezione degli integrati sono diventati piccolissimi e nelle prove si possono guastare... il componente sembra ancora vivo e supera la prova, ma quando – nella vita operativa – riceve degli impulsi, rimasto privo di soppressori, si guasta subito.

Nuovi problemi

- Un problema grosso è causato dalle alimentazioni.
- Con TTL e CMOS a +5 VDC, la distanza tra livello alto e basso è di circa un terzo cioè 1.5 V per cui gli integrati digitali non rischiano in presenza di disturbi CW (prove EN61000-4-6 e EN61000-4-3).
- Oggi le alimentazioni sono scese a 3.3 VDC, 1,8 VDC o 1.2 VDC e scenderanno sotto 1 VDC per poi arrestarsi per il «bandgap» del silicio: potremmo quindi scoprire a breve che anche gli integrati logici (e sono molto più numerosi di operazionali, sensori, regolatori) sono suscettibili ai disturbi della telefonia mobile con forti complicazione del progetto.

I rimedi

- Le aziende devono muoversi se non intendono uscire dal mercato.
- Il primo intervento, dopo aver preso coscienza della situazione, è l'addestramento del personale. Il progettista digitale non può spontaneamente diventare progettista di antenne o di piste a microonde. La formazione è lunga e occorre partire subito.
- Per acquisire visibilità e comprendere i fenomeni, l'azienda può attrezzarsi con strumenti EMC di verifica e procedere con prototipi parziali. Inoltre, sono disponibili dei simulatori software che simulano i campi elettromagnetici e prevedono i risultati delle prove, almeno per quelle di emissione.
- In sostanza i rimedi esistono, ma occorre mettere mano al portafoglio con investimenti oculati. L'alternativa è cambiare mestiere perché il progresso non si ferma.